

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-084175

(43)Date of publication of application : 22.03.2002

(51)Int.Cl.

H03K 17/16  
H03K 17/695  
// H03K 4/06

(21)Application number : 2001-072142

(71)Applicant : DENSO CORP

(22)Date of filing : 14.03.2001

(72)Inventor : YAMADA ATSUSHI  
ITABASHI TORU

(30)Priority

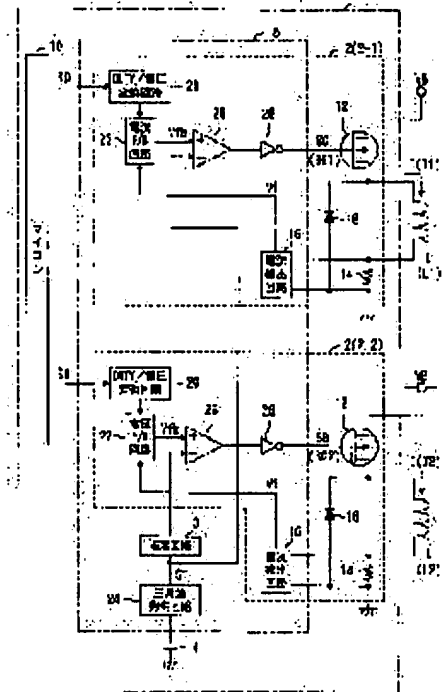
Priority number : 2000196521 Priority date : 29.06.2000 Priority country : JP

## (54) ELECTRONIC CONTROLLER AND SOLENOID DRIVER

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To suppress the noise level and voltage change of a power source, when currents to a plurality of solenoids are controlled simultaneously.

**SOLUTION:** An electronic controller 1 for controlling the currents to the plurality of solenoids L comprises drive circuits 2, each having an FET 12 for energizing the solenoids, and a comparator 26 for comparing in amplitude a triangular wave ST with a voltage V<sub>fd</sub>, in response to a signal SD from a microcomputer 10 for supplying a drive signal SG to a gate of the FET 12 in each of solenoids L1 and L2 to be driven. In this case, the triangular wave ST, generated from a common triangular wave generator 24, is supplied to the comparator 26 of both the driving circuits 2, and the wave ST from the generator 24 is delayed by half a period by a delay circuit 3, and input to the comparator 26 of the one drive circuit 1 (2-2). Accordingly, the phases of the signals SG with respect to these of the respective FETs are deviated substantially by 180°, and the noise level or the voltage change of the power source is suppressed.



## LEGAL STATUS

[Date of request for examination]

18.07.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application]

This Page Blank (uspto)

converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

This Page Blank (uspto)

(11)特許出願公開番号

特開2002-84175

(P2002-84175A)

(43)公開日 平成14年3月22日(2002.3.22)

(51) Int.Cl.	識別記号	F I	テーマコード(参考)
H 0 3 K 17/16		H 0 3 K 17/16	H 5 J 0 5 5
17/695		4/06	G
// H 0 3 K 4/06		17/687	B

審査請求 未請求 請求項の数16 O L (全 17 頁)

(21)出願番号 特願2001-72142(P2001-72142)

(22) 出願日 平成13年3月14日(2001.3.14)

(31)優先權主張番号 特願2000-196521(P2000-196521)

(32) 優先日 平成12年6月29日(2000. 6. 29)

(33)優先権主張国 日本 (JP)

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72)発明者 山田 篤志

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(72) 發明者 板橋 徹

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(74) 代理人 100082500

弁理士 足立 勉

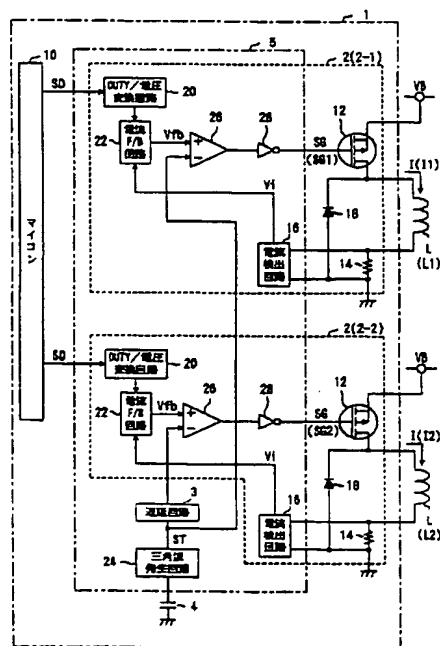
最終頁に続く

(54) 【発明の名称】 電子制御装置及びソレノイド駆動装置

(57) 【要約】

【課題】 複数のソレノイドへの通電電流を同時に制御する際の、ノイズレベルと電源電圧変動とを抑制する。

【解決手段】 複数のソレノイドLへの通電電流を制御する電子制御装置1は、ソレノイド通電用のFET12と、三角波STとマイコン10からの信号SDに応じた電圧Vfdとを大小比較して、FET12のゲートへ駆動信号SGを供給する比較器26とを有した駆動回路2を、駆動対象のソレノイドL1、L2毎に夫々備えている。そして、両駆動回路2の比較器26には、共通の三角波発生回路24で生成される三角波STが供給されるが、一方の駆動回路2(2-2)の比較器26には、三角波発生回路24からの三角波STが遅延回路3で1/2周期分だけ遅延されて入力される。よって、各FET12への駆動信号SGの位相がほぼ180度ずれたものとなり、ノイズレベルや電源電圧変動が抑制される。



【特許請求の範囲】

【請求項 1】 制御端子に供給される駆動信号に応じてオンすることによりソレノイドへ電流を流す出力トランジスタを、駆動対象の複数の各ソレノイド毎に夫々備え、  
前記各出力トランジスタの制御端子へ、デューティ比を制御した駆動信号を夫々供給することにより、前記各ソレノイドへの通電電流を制御する電子制御装置であって、  
前記複数の出力トランジスタのうちの少なくとも 1 つの出力トランジスタの制御端子へは、他の出力トランジスタの制御端子に供給する駆動信号とは位相がずれた駆動信号を供給するように構成されていること、  
を特徴とする電子制御装置。

【請求項 2】 請求項 1 に記載の電子制御装置において、  
前記各出力トランジスタの制御端子へ前記駆動信号を供給する手段として、  
基準信号発生源から出力される所定周波数の基準信号を受けて、該基準信号に同期した所定デューティ比の駆動信号を生成し出力する駆動信号生成手段を、前記各出力トランジスタ毎に夫々備え、  
更に、前記複数の駆動信号生成手段のうちの少なくとも 1 つと前記基準信号発生源との間の信号経路には、その基準信号発生源から出力される基準信号の位相をずらして前記駆動信号生成手段に供給することにより、その駆動信号生成手段に、他の駆動信号生成手段へ供給される基準信号とは位相がずれた基準信号が供給されるようにする位相変更手段が設けられていること、  
を特徴とする電子制御装置。

【請求項 3】 請求項 2 に記載の電子制御装置において、  
前記位相変更手段は、前記基準信号発生源から出力される基準信号を遅延させて前記駆動信号生成手段に供給する遅延回路であること、  
を特徴とする電子制御装置。

【請求項 4】 請求項 1 に記載の電子制御装置において、  
前記各出力トランジスタの制御端子へ前記駆動信号を供給する手段として、  
互いに同調して所定デューティ比の駆動信号を生成し出力する駆動信号生成手段を、前記各出力トランジスタ毎に夫々備え、  
更に、前記複数の駆動信号生成手段のうちの少なくとも 1 つと前記出力トランジスタの制御端子との間の信号経路には、その駆動信号生成手段から出力される駆動信号の位相をずらして前記出力トランジスタの制御端子に供給することにより、その出力トランジスタの制御端子に、他の出力トランジスタの制御端子へ供給される駆動信号とは位相がずれた駆動信号が供給されるようにする

位相変更手段が設けられていること、  
を特徴とする電子制御装置。

【請求項 5】 請求項 4 に記載の電子制御装置において、

前記位相変更手段は、前記駆動信号生成手段から出力される駆動信号を遅延させて前記出力トランジスタの制御端子に供給する遅延回路であること、  
を特徴とする電子制御装置。

【請求項 6】 制御端子に供給される駆動信号に応じてオンすることによりソレノイドへ電流を流す出力トランジスタと、  
外部から供給される指令信号に応じた電圧を出力する電圧発生手段と、  
三角波発生源から出力される所定周波数の三角波が第 1 入力端子に入力されると共に、前記電圧発生手段の出力電圧が第 2 入力端子に入力され、その両入力端子の入力レベルを大小比較することにより、前記三角波と同じ周波数で且つ前記電圧発生手段の出力電圧に応じたデューティ比の駆動信号を生成して、その駆動信号を前記出力トランジスタの制御端子に供給する比較手段と、  
を有した駆動回路を、駆動対象の複数の各ソレノイド毎に夫々備えたソレノイド駆動装置において、  
前記複数の駆動回路のうちの少なくとも 1 つの駆動回路における前記比較手段の第 1 入力端子と前記三角波発生源との間の信号経路には、その三角波発生源から出力される三角波の位相をずらして前記比較手段の第 1 入力端子に供給することにより、その比較手段の第 1 入力端子に、他の駆動回路の比較手段の第 1 入力端子へ入力される三角波とは位相がずれた三角波が供給されるようにする三角波位相変更手段が設けられていること、  
を特徴とするソレノイド駆動装置。

【請求項 7】 請求項 6 に記載のソレノイド駆動装置において、  
前記三角波位相変更手段は、前記三角波発生源から出力される三角波を遅延させて前記比較手段の第 1 入力端子に供給する遅延回路であること、  
を特徴とするソレノイド駆動装置。

【請求項 8】 請求項 6 又は請求項 7 に記載のソレノイド駆動装置において、  
前記三角波発生源は、前記複数の各駆動回路に共通の 1 つの三角波発生回路であること、  
を特徴とするソレノイド駆動装置。

【請求項 9】 請求項 8 に記載のソレノイド駆動装置において、  
少なくとも、前記 1 つの三角波発生回路と、前記複数の駆動回路の電圧発生手段及び比較手段と、前記三角波位相変更手段とが、1 個の半導体集積回路内に形成されていること、  
を特徴とするソレノイド駆動装置。

【請求項 10】 制御端子に供給される駆動信号に応じ

でオンすることによりソレノイドへ電流を流す出力トランジスタと、

外部から供給される指令信号に応じた電圧を出力する電圧発生手段と、

三角波発生源から出力される所定周波数の三角波が第 1 入力端子に入力されると共に、前記電圧発生手段の出力電圧が第 2 入力端子に入力され、その両入力端子の入力レベルを大小比較することにより、前記三角波と同じ周波数で且つ前記電圧発生手段の出力電圧に応じたデューティ比の駆動信号を生成して、その駆動信号を前記出力トランジスタの制御端子に供給する比較手段と、

を有した駆動回路を、駆動対象の複数の各ソレノイド毎に夫々備えたソレノイド駆動装置において、

前記複数の駆動回路のうちの少なくとも 1 つの駆動回路における前記比較手段と前記出力トランジスタの制御端子との間の信号経路には、その比較手段から出力される駆動信号の位相をずらして前記出力トランジスタの制御端子に供給することにより、その出力トランジスタの制御端子に、他の駆動回路の出力トランジスタの制御端子へ供給される駆動信号とは位相がずれた駆動信号が供給されるようにする駆動信号位相変更手段が設けられていること、

を特徴とするソレノイド駆動装置。

【請求項 11】 請求項 10 に記載のソレノイド駆動装置において、

前記駆動信号位相変更手段は、前記比較手段から出力される駆動信号を遅延させて前記出力トランジスタの制御端子に供給する遅延回路であること、

を特徴とするソレノイド駆動装置。

【請求項 12】 請求項 10 又は請求項 11 に記載のソレノイド駆動装置において、

前記三角波発生源は、前記複数の各駆動回路に共通の 1 つの三角波発生回路であること、

を特徴とするソレノイド駆動装置。

【請求項 13】 請求項 12 に記載のソレノイド駆動装置において、

少なくとも、前記 1 つの三角波発生回路と、前記複数の駆動回路の電圧発生手段及び比較手段と、前記駆動信号位相変更手段とが、1 個の半導体集積回路内に形成されていること、

を特徴とするソレノイド駆動装置。

【請求項 14】 制御端子に供給される駆動信号に応じてオンすることによりソレノイドへ電流を流す出力トランジスタを、駆動対象の複数の各ソレノイド毎に夫々備え、

前記各出力トランジスタの制御端子へ、デューティ比を制御した駆動信号を夫々供給することにより、前記各ソレノイドへの通電電流を制御する電子制御装置であって、

前記複数の出力トランジスタのうちの少なくとも 1 つの

出力トランジスタの制御端子へは、他の出力トランジスタの制御端子に供給する駆動信号とはアクティブレベルへの変化タイミングがずれた駆動信号を供給するように構成されていること、

を特徴とする電子制御装置。

【請求項 15】 請求項 14 に記載の電子制御装置において、

前記複数の出力トランジスタへの各駆動信号を夫々出力するマイクロコンピュータを備えると共に、

10 該マイクロコンピュータは、

前記各駆動信号を夫々出力するために該各駆動信号毎に設けられた処理であって、出力対象の駆動信号の出力レベルを該駆動信号のデューティ比に対応するオン時間だけアクティブレベルにする出力処理を、その出力対象の駆動信号の 1 周期毎に実行するようになっており、

更に、前記各駆動信号毎の出力処理のうちの少なくとも 1 つは、他の出力処理に対して実行タイミングがずらされていること、

を特徴とする電子制御装置。

20 【請求項 16】 請求項 15 に記載の電子制御装置において、

前記各駆動信号の周期は同一であると共に、

前記マイクロコンピュータは、

出力すべき駆動信号の数を  $n$  とすると、前記駆動信号の周期を  $n$  で割った周期で起動される割込ルーチンにて、前記各出力処理を択一的に実行すること、

を特徴とする電子制御装置。

【発明の詳細な説明】

【0001】

30 【発明の属する技術分野】本発明は、複数のソレノイドへの通電電流を制御する電子制御装置と、その電子制御装置に用いられるソレノイド駆動装置とに関するものである。

【0002】

【従来の技術】従来より、例えば車両の自動変速機（オートマチックトランスミッション）を制御する電子制御装置では、自動変速機の油圧経路に設けられた複数の各ソレノイドへの通電電流を夫々制御して、自動変速機の減速比などを詳細に制御するようにしている。

40 【0003】ここで、このような電子制御装置の従来の構成例について、図 7 を用い具体的に説明する。尚、図 7 は、駆動対象のソレノイド  $L$  が 2 個である場合を示している。図 7 に示すように、複数のソレノイド  $L$  への通電電流を制御する電子制御装置 100 は、マイコン（マイクロコンピュータ）10 を備えると共に、そのマイコン 10 から信号に応じて動作する電流制御タイプの駆動回路 102 を、駆動対象の各ソレノイド  $L$  毎に夫々備えている。

【0004】尚、図 7 に例示する駆動回路 102 は、駆動対象のソレノイド  $L$  へと電流を流し出すハイサイド駆

動タイプのものである。一方、以下の説明において、各ソレノイドLを夫々区別する場合には、それらの符号として「L1」、「L2」を用い、また、ソレノイドL1に対応する駆動回路102と、ソレノイドL2に対応する駆動回路102とを、夫々区別する場合には、それらの符号として「102-1」、「102-2」を用いる。

【0005】各駆動回路102は、ソースが電源電圧（この例では車両のバッテリー電圧VB）に接続され、ドレインが駆動対象のソレノイドLの一端に接続される出力トランジスタとしてのPチャネルMOSFET（以下単に、FETという）12と、ソレノイドLのFET12側とは反対側の端部と接地電位との間に接続された電流検出用抵抗14と、その電流検出用抵抗14の両端に生じる電位差を増幅し、更に平滑することにより、ソレノイドLに実際に流れている電流値を滑らかに表す電圧信号Viを出力する電流検出回路16と、アノードが接地電位に接続され、カソードがFET12のドレインに接続されたフライバック電圧吸収用のダイオード18とを備えている。

【0006】また、各駆動回路102は、マイコン10から出力されるデューティ信号SDを入力して、そのデューティ信号SDのデューティ比に比例した電圧を出力するデューティ(DUTY)/電圧変換回路20と、そのデューティ/電圧変換回路20から出力される電圧を、電流検出回路16の出力Viに応じて補正して出力する電流フィードバック(F/B)回路22とを備えている。

【0007】尚、電流フィードバック回路22は、デューティ/電圧変換回路20から出力される電圧を非反転入力とし、電流検出回路16の出力Viを反転入力とした差動増幅回路からなり、Viの電圧値が高くなるほど、デューティ/電圧変換回路20の出力を、より低い電圧に補正して出力する。

【0008】そして更に、各駆動回路102は、一定周波数の三角波STを発生して出力する三角波発生回路24と、その三角波発生回路24で発生される三角波STが反転入力端子（-端子）に入力されると共に、電流フィードバック回路22の出力電圧Vfbが非反転入力端子（+端子）に入力されて、反転入力端子の電圧（即ち三角波STの電圧）よりも非反転入力端子の電圧（即ち電流フィードバック回路22の出力電圧Vfb）の方が大きい時にハイレベルの信号を、そうでない時にロウレベルの信号を出力する比較器26（図8の（A）及び（B）参照）と、比較器26の出力がハイレベルの時に、FET12の制御端子としてのゲートに該FET12をオンさせることが可能なアクティブレベルの電圧（例えば接地電位である0V）を出力し、逆に、比較器26の出力がロウレベルの時には、FET12のゲートに該FET12をオフさせることが可能なパッシブレベルの電圧（この例ではバッテリー電圧VB）を印加する駆

動用バッファ28とを備えている。

【0009】このような駆動回路102においては、図8の（A）～（D）に示すように、比較器26の出力を論理反転させた信号が、駆動用バッファ28を介してFET12のゲートへ、該FET12をオン/オフさせるための駆動信号SGとして供給される。そして、FET12は、その駆動信号SGがアクティブレベルとしてのロウレベルの時（換言すれば、比較器26の出力がアクティブレベルとしてのハイレベルの時）にオンして、駆動対象のソレノイドLに電流（通電電流）Iを流すこととなるが、その駆動信号SGは、三角波発生回路24で発生される三角波STと同じ周波数で、且つ、電流フィードバック回路22の出力電圧Vfbに応じたデューティ比の信号となる。つまり、前述した比較器26の機能により、電流フィードバック回路22の出力電圧Vfbが大きくなるほど、比較器26から駆動用バッファ28を介してFET12のゲートへ供給される駆動信号SGのデューティ比（信号1周期当たりのアクティブレベル時間の割合）が大きくなるからである。

【0010】そして更に、駆動回路102では、デューティ(DUTY)/電圧変換回路20が、マイコン10からのデューティ信号SDのデューティ比に比例した電圧を出力すると共に、電流検出回路16が、駆動対象のソレノイドLに実際に流れている電流値に応じた電圧信号Viを出力し、電流フィードバック回路22が、デューティ/電圧変換回路20の出力電圧を、電流検出回路16の出力Viに応じて前述の如く補正して、比較器26の非反転入力端子へ出力するようにしている。

【0011】このため、比較器26の非反転入力端子に入力される電圧は、マイコン10からデューティ/電圧変換回路20に入力される指令信号としてのデューティ信号SDのデューティ比に応じた電圧となり、その結果、FET12のゲートへの駆動信号SGは、上記三角波STに同期すると共に該三角波STと同じ周波数で、且つ、マイコン10からのデューティ信号SDのデューティ比に応じたデューティ比の信号となる。そして、図7の電子制御装置100では、マイコン10が、車両の運転状態を表す各種センサ信号（図示省略）等に基づいて、駆動対象のソレノイドLに流すべき目標通電電流を算出し、その目標通電電流に応じたデューティ比のデューティ信号SDを駆動回路102に出力すれば、その駆動回路102にて、駆動対象のソレノイドLに実際に流れる電流Iが上記目標通電電流となるように、FET12への駆動信号SGのデューティ比が調節されることとなる。

【0012】

【発明が解決しようとする課題】ところで、上記従来の電子制御装置100において、各駆動回路102の三角波発生回路24としては、同じ回路構成のものが用いられると共に、その各三角波発生回路24は、電子制御装



置 100 に電源が投入された時点から動作を開始して、内部のコンデンサや抵抗からなる発振要素の定数によって決まる一定周波数の三角波を発生することとなる。

【0013】このため、各駆動回路 102 毎の三角波発生回路 24 で夫々発生される各三角波の位相が互いに同じになり易く、その結果、以下のような問題が生じる。まず、各駆動回路 102 毎の三角波発生回路 24 で夫々発生される各三角波の位相が同じになると、各 FET 12 に夫々供給される各駆動信号 SG の位相が同じになり易くなる。

【0014】そして、各駆動信号 SG の位相が同じになると、各 FET 12 のオン／オフタイミング（特にオンのタイミング）が同じになって、その各 FET 12 のスイッチング動作に伴い発生するノイズのレベルが増大してしまう。また更に、各ソレノイド L への通電開始が同時に行われることとなるため、瞬時の総消費電流が大きくなり、その結果、電源電圧の変動を招いてしまうこととなる。

【0015】例えば、図 8 の (A) ～ (C) が、ソレノイド L1 に対応して設けられた駆動回路 102-1 の動作状態を表すと共に、図 8 の (D) が、その駆動回路 102-1 によってソレノイド L1 へ流される電流 I1 を表し、更に、図 8 の (E) が、他方の駆動回路 102-2 によってソレノイド L2 へ流される電流 I2 を表しているとする、図 8 (F) に示すように、2 つのソレノイド L1、L2 に流れる総電流 ( $= I1 + I2$ ) のピーク値が、各ソレノイド L1、L2 毎の電流 I1、I2 のピーク値のほぼ 2 倍となってしまう。

【0016】このため、ノイズレベルや電源電圧（この例ではバッテリー電圧 VB）の変動が大きくなってしまい、当該電子制御装置 100 自身や、車両に搭載された他の電子機器に悪影響を与える可能性が大きくなってしまう。一方、上記では、各駆動回路 102 毎に三角波発生回路 24 を夫々設けた場合について述べたが、複数のソレノイド L を駆動する場合、1 つの三角波発生回路 24 を各駆動回路 102 で共用することにより、回路の小型化や低コスト化を図ることも考えられる。具体的に説明すると、図 7 の電子制御装置 100 において、例えば、駆動回路 102-1 側の三角波発生回路 24 を削除すると共に、駆動回路 102-2 側の三角波発生回路 24 で発生される三角波 ST を、駆動回路 102-1 側の比較器 26 の反転入力端子にも入力するように構成すれば良い。

【0017】しかしながら、このように各駆動回路 102 で 1 つの三角波発生回路 24 を共用する構成を採った場合には、各駆動回路 102 の比較器 26 に入力される各三角波の位相が必ず同じになるため、前述した問題が一層発生し易くなる。本発明は、こうした問題に鑑みなされたものであり、複数のソレノイドへの通電電流を同時に制御する際の、ノイズレベル及び電源電圧変動を抑

制することが可能な電子制御装置と、その電子制御装置を構成するのに好適なソレノイド駆動装置とを、提供することを目的としている。

【0018】

【課題を解決するための手段及び発明の効果】上記目的を達成するためになされた請求項 1 に記載の電子制御装置は、制御端子に供給される駆動信号に応じてオンすることによりソレノイドへ電流を流す出力トランジスタを、駆動対象の複数の各ソレノイド毎に夫々備えている。

【0019】そして、この電子制御装置は、上記各出力トランジスタの制御端子へ、デューティ比を制御した駆動信号を夫々供給することにより、駆動対象の各ソレノイドへの通電電流を制御するが、特に、上記複数の出力トランジスタのうちの少なくとも 1 つの出力トランジスタの制御端子へは、他の出力トランジスタの制御端子に供給する駆動信号とは位相がずれた駆動信号を供給するようになっている。

【0020】このため、請求項 1 の電子制御装置によれば、各出力トランジスタへの駆動信号の位相が全て同じにならず、少なくとも 1 つの出力トランジスタは、他の出力トランジスタとは異なったタイミングでオン／オフすることとなる。よって、この電子制御装置によれば、複数のソレノイドへの通電電流を同時に制御する際において、各出力トランジスタのスイッチング動作に伴い発生するノイズのトータルレベルと電源電圧の変動とを、抑制することができる。

【0021】尚、駆動対象のソレノイドが 3 個以上である場合には、各出力トランジスタへの駆動信号の位相が、全て互いにずれるように構成するのが望ましい。つまり、各出力トランジスタを、位相が互いにずれた駆動信号でオン／オフさせるのである。

【0022】また例えば、駆動対象のソレノイドが 2 個である場合には、2 つの出力トランジスタへの各駆動信号の位相が夫々 180 度ずつずれるようにし、駆動対象のソレノイドが 3 個である場合には、3 つの出力トランジスタへの各駆動信号の位相が夫々 120 度ずつずれるようにし、駆動対象のソレノイドが 4 個である場合には、4 つの出力トランジスタへの各駆動信号の位相が夫々 90 度ずつずれるようにすれば良い。つまり、駆動対象のソレノイド及び出力トランジスタの数が n 個（但し、n は 2 以上の整数）とすると、n 個の出力トランジスタへの各駆動信号の位相が夫々「 $(360 \div n)$  度」ずつずれるように構成すれば、より効果的である。

【0023】ところで、上記請求項 1 の電子制御装置は、例えば請求項 2 に記載の如く構成することができる。即ち、まず、請求項 2 の電子制御装置は、各出力トランジスタの制御端子へ駆動信号を供給する手段として、その各出力トランジスタ毎に夫々設けられた駆動信号生成手段を備えている。そして、その各駆動信号生成

手段は、基準信号発生源から出力される所定周波数の基準信号を受けて、該基準信号に同期した所定デューティ比の駆動信号を生成し、その生成した駆動信号を自己に対応する出力トランジスタの制御端子へ出力する。

【0024】そして特に、この請求項2の電子制御装置では、上記複数の駆動信号生成手段のうちの少なくとも1つと前記基準信号発生源との間の信号経路に、その基準信号発生源から出力される基準信号の位相をずらして前記駆動信号生成手段に供給することにより、その駆動信号生成手段に、他の駆動信号生成手段へ供給される基準信号とは位相がずれた基準信号が供給されるようにする位相変更手段が設けられている。

【0025】このような請求項2の電子制御装置では、複数の駆動信号生成手段のうちの少なくとも1つ（以下、特定の駆動信号生成手段という）には、他の駆動信号生成手段へ供給される基準信号とは位相がずれた基準信号が供給されるため、その特定の駆動信号生成手段に対応する出力トランジスタへの駆動信号は、他の出力トランジスタへの駆動信号とは確実に位相がずれたものとなる。

【0026】そして、この請求項2の電子制御装置によれば、各出力トランジスタへの駆動信号の位相が全て同じにならないようにするために、ソフトウェア的な対策を施す必要がなく、前述した請求項1の電子制御装置による効果を非常に簡単に得ることができる。

【0027】尚、請求項2の電子制御装置において、出力トランジスタが3以上の $m$ 個（但し、 $m$ は整数）である場合には、少なくとも $(m-1)$ 個の各駆動信号生成手段に対して位相変更手段を夫々設け、全ての各駆動信号生成手段に供給される基準信号の位相が、全て互いにずれるように構成するのが望ましい。つまり、全ての出力トランジスタの各々を、位相が互いにずれた駆動信号でオン／オフさせることができるからである。

【0028】また、請求項2の電子制御装置において、位相変更手段としては、請求項3に記載の如く、基準信号発生源から出力される基準信号を遅延させて駆動信号生成手段に供給する遅延回路を用いることができる。そして、このような遅延回路を用いれば、位相変更手段を簡単に構成でき有利である。

【0029】一方、上記請求項1の電子制御装置は、例えば請求項4に記載の如く構成することもできる。即ち、まず、請求項4の電子制御装置は、各出力トランジスタの制御端子へ駆動信号を供給する手段として、その各出力トランジスタ毎に夫々設けられた駆動信号生成手段を備えている。そして、その各駆動信号生成手段は、互いに同調して所定デューティ比の駆動信号を生成し、その生成した駆動信号を自己に対応する出力トランジスタの制御端子へ出力する。

【0030】このため、各駆動信号生成手段から夫々出力される駆動信号は、互いに同調したものとなり、各駆

動信号のアクティブレベル（即ち、出力トランジスタをオンさせる方のレベル）への変化タイミングは、ほぼ同時となる。そこで特に、この請求項4の電子制御装置では、上記複数の駆動信号生成手段のうちの少なくとも1つと出力トランジスタの制御端子との間の信号経路に、その駆動信号生成手段から出力される駆動信号の位相をずらして前記出力トランジスタの制御端子に供給することにより、その出力トランジスタの制御端子に、他の出力トランジスタの制御端子へ供給される駆動信号とは位相がずれた駆動信号が供給されるようにする位相変更手段を設けている。

【0031】そして、この請求項4の電子制御装置によっても、各出力トランジスタへの駆動信号の位相をずらすことを、ソフトウェア的な対策を一切を施すことなく実現することができ、前述した請求項1の電子制御装置による効果を簡単に達成することができる。

【0032】尚、請求項4の電子制御装置において、出力トランジスタが3以上の $m$ 個（但し、 $m$ は整数）である場合には、少なくとも $(m-1)$ 個の各駆動信号生成手段に対して位相変更手段を夫々設け、全ての各出力トランジスタに供給される駆動信号の位相が、全て互いにずれるように構成するのが望ましい。

【0033】また、請求項4の電子制御装置において、位相変更手段としては、請求項5に記載の如く、駆動信号生成手段から出力される駆動信号を遅延させて出力トランジスタの制御端子に供給する遅延回路を用いることができる。そして、このような遅延回路を用いれば、位相変更手段を簡単に構成でき有利である。

【0034】次に、請求項6に記載の本発明のソレノイド駆動装置は、複数の各ソレノイドへの通電電流を制御する電子制御装置に用いられるものであり、制御端子に供給される駆動信号に応じてオンすることによりソレノイドへ電流を流す出力トランジスタと、電圧発生手段及び比較手段とを有した駆動回路を、駆動対象の複数の各ソレノイド毎に夫々備えている。

【0035】そして、その各駆動回路においては、電圧発生手段が、外部から供給される指令信号に応じた電圧を、比較手段の第2入力端子に出力する。また、比較手段の第1入力端子には、三角波発生源から出力される所定周波数の三角波が入力される。そして、比較手段は、上記第1入力端子の入力レベル（即ち、上記三角波の電圧）と上記第2入力端子の入力レベル（即ち、上記電圧発生手段の出力電圧）とを大小比較することにより、上記三角波と同じ周波数で且つ電圧発生手段の出力電圧に応じたデューティ比の駆動信号を生成して、その駆動信号を上記出力トランジスタの制御端子に供給する。より具体的に説明すると、比較手段は、第1入力端子の入力レベルよりも第2入力端子の入力レベルの方が大きい時に、ハイレベルとロウレベルとのうちの一方である第1レベルの信号を出力し、そうでない時に、ハイレベルと

ロウレベルとその他の方である第2レベルの信号を出力する。そして、このように出力する信号を、駆動信号として出力トランジスタの制御端子に供給する。

【0036】このため、請求項6のソレノイド駆動装置によれば、外部のマイコン等から各駆動回路の電圧発生手段に供給する指令信号により、その各駆動回路の出力トランジスタに対する駆動信号のデューティ比を調節することができ、延いては、その各駆動回路に夫々対応したソレノイドへの通電電流を制御することができる。

【0037】ここで特に、請求項6のソレノイド駆動装置では、上記複数の駆動回路のうちの少なくとも1つの駆動回路における比較手段の第1入力端子と前記三角波発生源との間の信号経路に、その三角波発生源から出力される三角波の位相をずらして前記比較手段の第1入力端子に供給することにより、その比較手段の第1入力端子に、他の駆動回路の比較手段の第1入力端子へ入力される三角波とは位相がずれた三角波が供給されるようにする三角波位相変更手段が設けられている。

【0038】このような請求項6のソレノイド駆動装置において、複数の駆動回路のうちの少なくとも1つの駆動回路（以下、特定の駆動回路という）における比較手段の第1入力端子には、他の駆動回路の比較手段の第1入力端子へ入力される三角波とは位相がずれた三角波が供給されるため、その特定の駆動回路の出力トランジスタに供給される駆動信号は、他の駆動回路の出力トランジスタに供給される駆動信号とは確実に位相がずれたものとなる。

【0039】よって、請求項6のソレノイド駆動装置によれば、各出力トランジスタへの駆動信号の位相が全て同じにならず、少なくとも1つの出力トランジスタは、確実に他の出力トランジスタとは異なったタイミングでオン/オフすることとなる。従って、このソレノイド駆動装置を電子制御装置に用いれば、複数のソレノイドへの通電電流を同時に制御する際において、各出力トランジスタのスイッチング動作に伴い発生するノイズのトータルレベルと電源電圧の変動とを、抑制することができる。

【0040】尚、請求項6のソレノイド駆動装置において、駆動回路が3以上の $m$ 個（但し、 $m$ は整数）である場合には、少なくとも $(m-1)$ 個の各駆動回路に三角波位相変更手段を設けて、全ての各駆動回路の比較手段の第1入力端子へ入力される三角波の位相が、全て互いにずれるように構成するのが望ましい。つまり、全ての出力トランジスタの各々を、位相が互いにずれた駆動信号でオン/オフさせることができるからである。

【0041】また例えば、駆動回路が2個である場合には、各駆動回路の比較手段への三角波の位相が夫々180度ずつずれるように、駆動回路が3個である場合には、各駆動回路の比較手段への三角波の位相が夫々120度ずつずれるように、駆動回路が4個である場合に

は、各駆動回路の比較手段への三角波の位相が夫々90度ずつずれるように、三角波位相変更手段を設ければ良い。つまり、駆動回路の数が $n$ 個（但し、 $n$ は2以上の整数）とすると、 $n$ 個の比較手段への各三角波の位相が夫々「 $(360 \div n)$ 度」ずつずれるように構成すれば、より効果的である。

【0042】一方、請求項6のソレノイド駆動装置において、三角波位相変更手段としては、請求項7に記載の如く、三角波発生源から出力される三角波を遅延させて比較手段の第1入力端子に供給する遅延回路を用いることができる。そして、遅延回路を用いれば、三角波位相変更手段を簡単に構成することができる。

【0043】また、上記請求項6、7のソレノイド駆動装置において、各駆動回路の比較手段に三角波を供給する三角波発生源は、各駆動回路毎に夫々設けるようにしても良いが、請求項8に記載の如く、三角波発生源を、複数の各駆動回路に共通の1つの三角波発生回路とすれば、特に大きな効果が得られる。

【0044】即ち、1つの三角波発生回路から出力される三角波を各駆動回路の比較手段の第1入力端子へ供給するように構成することにより、当該ソレノイド駆動装置の小型化及び低コスト化を図ることができ、しかも、上記三角波位相変更手段の作用により、各駆動回路の比較手段に入力される各三角波の位相が全て同じにならないため、複数のソレノイドへの通電電流を同時に制御する際のノイズレベル及び電源電圧変動を抑制することができるからである。

【0045】そして、このことから、上記請求項8のソレノイド駆動装置において、請求項9に記載の如く、少なくとも、複数の各駆動回路に共通の前記1つの三角波発生回路と、複数の駆動回路の電圧発生手段及び比較手段と、前記三角波位相変更手段とを、1個の半導体集積回路内に形成すれば、半導体のチップ面積が小さく、且つ、ノイズレベル及び電源電圧変動を抑制可能なソレノイド駆動装置を得ることができる。

【0046】次に、請求項10に記載のソレノイド駆動装置は、請求項6のソレノイド駆動装置と同様の、出力トランジスタと電圧発生手段と比較手段とを有した駆動回路を、駆動対象の複数の各ソレノイド毎に夫々備えている。このため、請求項10のソレノイド駆動装置によっても、外部のマイコン等から各駆動回路の電圧発生手段に供給する指令信号により、その各駆動回路の出力トランジスタに対する駆動信号のデューティ比を調節することができ、延いては、その各駆動回路に夫々対応したソレノイドへの通電電流を制御することができる。

【0047】ここで特に、請求項10のソレノイド駆動装置では、上記複数の駆動回路のうちの少なくとも1つの駆動回路における比較手段と出力トランジスタの制御端子との間の信号経路に、その比較手段から出力される駆動信号の位相をずらして前記出力トランジスタの制御

端子に供給することにより、その出力トランジスタの制御端子に、他の駆動回路の出力トランジスタの制御端子へ供給される駆動信号とは位相がずれた駆動信号が供給されるようにする駆動信号位相変更手段が設けられている。

【0048】このような請求項10のソレノイド駆動装置において、複数の駆動回路のうちの少なくとも1つの駆動回路の出力トランジスタに供給される駆動信号は、他の駆動回路の出力トランジスタに供給される駆動信号とは確実に位相がずれたものとなる。

【0049】よって、この請求項10のソレノイド駆動装置によっても、請求項6のソレノイド駆動装置と同様に、各出力トランジスタへの駆動信号の位相が全て同じにならず、少なくとも1つの出力トランジスタは、確実に他の出力トランジスタとは異なったタイミングでオン／オフすることとなる。従って、複数のソレノイドへの通電電流を同時に制御する際において、各出力トランジスタのスイッチング動作に伴い発生するノイズのトータルレベルと電源電圧の変動とを、抑制することができる。

【0050】尚、請求項10のソレノイド駆動装置において、駆動回路が3以上の $m$ 個（但し、 $m$ は整数）である場合には、少なくとも $(m-1)$ 個の各駆動回路に駆動信号位相変更手段を設けて、全ての各駆動回路の出力トランジスタの制御端子へ供給される駆動信号の位相が、全て互いにずれるように構成するのが望ましい。つまり、全ての出力トランジスタの各々を、位相が互いにずれた駆動信号でオン／オフさせるのである。

【0051】また例えば、駆動回路が2個である場合には、各駆動回路の出力トランジスタへの駆動信号の位相が夫々180度ずつずれるように、駆動回路が3個である場合には、各駆動回路の出力トランジスタへの駆動信号の位相が夫々120度ずつずれるように、駆動回路が4個である場合には、各駆動回路の出力トランジスタへの駆動信号の位相が夫々90度ずつずれるように、駆動信号位相変更手段を設ければ良い。つまり、駆動回路の数が $n$ 個（但し、 $n$ は2以上の整数）とすると、 $n$ 個の出力トランジスタへの各駆動信号の位相が夫々「 $(360 \div n)$ 度」ずつずれるように構成すれば、より効果的である。

【0052】一方、請求項10のソレノイド駆動装置において、駆動信号位相変更手段としては、請求項11に記載の如く、比較手段から出力される駆動信号を遅延させて出力トランジスタの制御端子に供給する遅延回路を用いることができる。そして、遅延回路を用いれば、駆動信号位相変更手段を簡単に構成することができる。

【0053】また、上記請求項10、11のソレノイド駆動装置において、各駆動回路の比較手段に三角波を供給する三角波発生源は、各駆動回路毎に夫々設けるようにしても良いが、請求項12に記載の如く、三角波発生

源を、複数の各駆動回路に共通の1つの三角波発生回路とすれば、特に大きな効果が得られる。

【0054】即ち、1つの三角波発生回路から出力される三角波を各駆動回路の比較手段の第1入力端子へ供給するように構成することにより、当該ソレノイド駆動装置の小型化及び低コスト化を図ることができ、しかも、上記駆動信号位相変更手段の作用により、各駆動回路の出力トランジスタに入力される各駆動信号の位相が全て同じにならないため、複数のソレノイドへの通電電流を同時に制御する際のノイズレベル及び電源電圧変動を抑制することができるからである。

【0055】そして、このことから、上記請求項12のソレノイド駆動装置において、請求項13に記載の如く、少なくとも、複数の各駆動回路に共通の前記1つの三角波発生回路と、複数の駆動回路の電圧発生手段及び比較手段と、前記駆動信号位相変更手段とを、1個の半導体集積回路内に形成すれば、半導体のチップ面積が小さく、且つ、ノイズレベル及び電源電圧変動を抑制可能なソレノイド駆動装置を得ることができる。

【0056】次に、請求項14に記載の電子制御装置は、請求項1の電子制御装置と同様に、制御端子に供給される駆動信号に応じてオンすることによりソレノイドへ電流を流す出力トランジスタを、駆動対象の複数の各ソレノイド毎に夫々備えている。

【0057】そして、この請求項14の電子制御装置においても、上記各出力トランジスタの制御端子へ、デューティ比を制御した駆動信号を夫々供給することにより、駆動対象の各ソレノイドへの通電電流を制御するが、特に、上記複数の出力トランジスタのうちの少なくとも1つの出力トランジスタの制御端子へは、他の出力トランジスタの制御端子に供給する駆動信号とはアクティブレベル（出力トランジスタをオンさせる方のレベル）への変化タイミングがずれた駆動信号を供給するようになっている。

【0058】よって、この請求項14の電子制御装置によっても、全ての出力トランジスタのオンタイミングが重なることが回避され、複数のソレノイドへの通電電流を同時に制御する際において、各出力トランジスタのスイッチング動作に伴い発生するノイズのトータルレベルと電源電圧の変動とを、抑制することができる。

【0059】尚、駆動対象のソレノイドが3個以上である場合には、各出力トランジスタへの駆動信号のアクティブレベルへの変化タイミングが、全て互いにずれるように構成するのが望ましい。ところで、上記請求項14の電子制御装置は、例えば請求項15に記載の如く構成することができる。

【0060】即ち、まず、請求項15の電子制御装置は、前記複数の出力トランジスタへの各駆動信号を夫々出力するマイクロコンピュータを備えている。そして、そのマイクロコンピュータは、各駆動信号を夫々出力す

るために該各駆動信号毎に設けられた処理であって、出力対象の駆動信号の出力レベルを該駆動信号のデューティ比に対応するオン時間だけアクティブレベルにする出力処理を、その出力対象の駆動信号の1周期毎に実行するようになっているが、特に、この電子制御装置において、上記各駆動信号毎の出力処理のうちの少なくとも1つは、他の出力処理に対して実行タイミングがずらされている。

【0061】つまり、各駆動信号毎の出力処理のうちの少なくとも1つ（以下、特定の出力処理という）の実行タイミングが、他の出力処理の実行タイミングとは故意にずらされているため、その特定の出力処理によって出力される駆動信号は、他の出力処理によって出力される駆動信号とはアクティブレベルへの変化タイミングがずれることとなる。

【0062】そして、この請求項15の電子制御装置によれば、特別なハードウェアを追加することなく、前述した請求項14の電子制御装置による効果を得ることができ、コストアップを招くことがないという点で有利である。ところで、上記請求項15の電子制御装置において、各駆動信号の周期が同一であるならば、マイクロコンピュータは、各出力処理を請求項16に記載の如く実行するように構成することができる。

【0063】即ち、マイクロコンピュータは、出力すべき駆動信号の数を $n$ とすると、前記駆動信号の周期 $T$ を $n$ で割った周期（ $=T/n$ ）で起動される割込ルーチンにて、前記各出力処理を択一的に実行するのである。より詳しくは、「 $T/n$ 」の周期で起動される割込ルーチンにて、何れかの駆動信号に対応する出力処理を1つ実行すると共に、その割込ルーチンが起動される毎に、実行対象の出力処理を順次切り替えていくことにより、各出力処理を周期 $T$ 毎に且つ互いに「 $T/n$ 」だけずれたタイミングで実行するのである。

【0064】そして、このような請求項15の電子制御装置によれば、マイクロコンピュータは、1つの割込を用いるだけで、複数の駆動信号を、アクティブレベルへの変化タイミングをずらしつつ出力することができる。尚、この請求項15の電子制御装置では、複数の駆動信号の位相が互いにずれることとなる。よって、請求項15の電子制御装置は、請求項1の電子制御装置を具体化したものとも言える。

【0065】

【発明の実施の形態】以下、本発明が適用された実施形態の電子制御装置について、図面を用いて説明する。まず図1は、第1実施形態の電子制御装置1の構成を表す構成図である。

【0066】尚、本実施形態の電子制御装置1は、例えば車両の自動変速機の油圧経路に設けられた複数の各ソレノイド $L$ への通電電流を夫々制御して、その自動変速機の減速比やロックアップ状態などを制御するものであ

る。また、ここでは、駆動対象のソレノイド $L$ が、ソレノイド $L1$ とソレノイド $L2$ との2個であるものとする。

【0067】図1に示すように、本第1実施形態の電子制御装置1は、前述した図7の電子制御装置100に対して、以下の(1)～(4)の点が異なっている。尚、図1において、図7の電子制御装置100と同じ構成要素については、同一の符号を付しているため、詳細な説明は省略する。

【0068】(1)：まず、本第1実施形態の電子制御装置1は、図7の電子制御装置100における駆動回路102から三角波発生回路24を除いた構成の駆動回路2を、駆動対象の各ソレノイド $L$ 毎に夫々備えている。尚、以下の説明において、一方のソレノイド $L1$ に対応する駆動回路2と、他方のソレノイド $L2$ に対応する駆動回路2とを、夫々区別する場合には、それらの符号として「2-1」、「2-2」を用いる。

【0069】(2)：そして、本第1実施形態の電子制御装置1は、一定周波数の三角波 $ST$ を発生して出力する三角波発生回路24を、1つだけ備えている。

(3)：また、本第1実施形態の電子制御装置1は、三角波発生回路24からの三角波 $ST$ を受けて、その三角波 $ST$ を $1/2$ 周期（2分の1周期）分だけ遅延させて出力する遅延回路3を備えている。

【0070】そして、本第1実施形態の電子制御装置1では、一方の駆動回路2-1の比較器26の反転入力端子には、上記1つの三角波発生回路24から出力される三角波 $ST$ が、そのまま入力される。これに対して、他方の駆動回路2-2の比較器26の反転入力端子には、上記遅延回路3で $1/2$ 周期分だけ遅延された三角波が入力される。

【0071】(4)：また更に、本第1実施形態の電子制御装置1では、図1の二点鎖線で示すように、2つの各駆動回路2のデューティ/電圧変換回路20、電流フィードバック回路22、比較器26、駆動用バッファ28、及び電流検出回路16と、各駆動回路2に共通の上記1つの三角波発生回路24と、遅延回路3とが、1個の半導体集積回路（IC）5内に形成されておき、そのIC5という形で当該電子制御装置1に搭載されている。

【0072】そして、このIC5では、上記三角波発生回路24で発生される三角波 $ST$ の周波数が、当該IC5の外部に接続するコンデンサ4の静電容量によって任意に設定できるようになっている。以上のような第1実施形態の電子制御装置1では、図1におけるマイコン10以外の回路（即ち、FET12、電流検出用抵抗14、及びダイオード18からなる2組の回路とIC5からなる部分）が、マイコン10からのデューティ信号 $SD$ に応じて複数の各ソレノイド $L1$ 、 $L2$ を駆動するためのソレノイド駆動装置として設けられている。

【0073】そして、この電子制御装置1においても、図7の電子制御装置100と同様に、マイコン10が、車両の運転状態を表す各種センサ信号等に基づいて、駆動対象のソレノイドLに流すべき目標通電電流を算出し、その目標通電電流に応じたデューティ比のデューティ信号SDを出力すれば、各駆動回路2-1、2-2の一部を成すIC5により、駆動対象のソレノイドLに実際に流れる電流Iが上記目標通電電流となるように、FET12への駆動信号SGのデューティ比が調節されることとなる。

【0074】ここで特に、本第1実施形態の電子制御装置1では、前述した図7の電子制御装置100と比較すると、遅延回路3の作用により、駆動回路2-2の比較器26の反転入力端子には、駆動回路2-1の比較器26の反転入力端子に入力される三角波STとは位相が180度だけずれた三角波が供給されることとなる。つまり、各駆動回路2-1、2-2の比較器26の反転入力端子には、位相が互いに180度ずつずれた三角波が供給される。このため、駆動回路2-1のFET12のゲートに供給される駆動信号SG（図1におけるSG1）と、駆動回路2-2のFET12のゲートに供給される駆動信号SG（図1におけるSG2）とは、確実に位相がずれたものとなる。

【0075】よって、本第1実施形態の電子制御装置1によれば、両ソレノイドL1、L2への通電電流を同時に制御する際において、各駆動回路2-1、2-2のFET12が異なったタイミングでオン/オフすることとなり、複数のFET12が同時にオンすることが無くなるため、そのFET12のスイッチング動作に伴って発生するノイズのトータルレベルと、電源電圧（本実施形態では、バッテリー電圧VB）の変動とを、抑制することができる。

【0076】例えば、図2の（A）～（C）が、ソレノイドL1に対応する駆動回路2-1の動作状態を表すと共に、図2の（D）が、その駆動回路2-1によってソレノイドL1へ流される電流I1を表しているとする、図2（E）に示すように、他方の駆動回路2-2によってソレノイドL2へ流される電流I2の波形は、ソレノイドL1への通電電流I1の波形に対して位相が180度ずれたものとなる。よって、図2（F）に示すように、2つのソレノイドL1、L2に流れる総電流（ $I1+I2$ ）がほぼフラットになり、発生されるノイズのトータルレベルと、電源電圧（バッテリー電圧VB）の変動とが抑制されるのである。

【0077】また、本第1実施形態の電子制御装置1においては、1つの三角波発生回路24を各駆動回路2で共用した上で、上記遅延回路3により、各駆動回路2の比較器26に供給される三角波の位相を互いに異ならせるようにしているため、装置の小型化及び低コスト化を図りつつ、複数のソレノイドL1、L2への通電電流を

同時に制御する際のノイズレベル及び電源電圧変動を、確実に抑制することができる。

【0078】尚、本第1実施形態では、各駆動回路2におけるデューティ/電圧変換回路20、電流フィードバック回路22、及び電流検出回路16が、電圧発生手段に相当し、比較器26が比較手段に相当している。そして、比較器26の反転入力端子が第1入力端子に相当し、比較器26の非反転入力端子が第2入力端子に相当している。そして更に、各駆動回路2に共通の1つの三角波発生回路24が、三角波発生源に相当し、遅延回路3が、三角波位相変更手段に相当している。

【0079】また、本第1実施形態では、各駆動回路2のデューティ/電圧変換回路20、電流フィードバック回路22、電流検出回路16、及び比較器26により、基準信号としての三角波に同期した駆動信号が生成されるため、そのデューティ/電圧変換回路20、電流フィードバック回路22、電流検出回路16、及び比較器26が、請求項2の駆動信号生成手段に相当し、基準信号としての三角波を出力する三角波発生回路24が、請求項2の基準信号発生源に相当する。そして、遅延回路3が、請求項2の位相変更手段にも相当している。

【0080】一方、上記第1実施形態の電子制御装置1において、駆動回路2の数が3以上のm個である場合には、 $(m-1)$ 個の各駆動回路2について、その比較器26の反転入力端子と上記1つの三角波発生回路24との間の信号経路上に、上記遅延回路3と同様の遅延回路を夫々設けて、全ての各駆動回路2の比較器26へ入力される三角波の位相が、全て互いにずれるように構成すれば、効果的である。

【0081】そして、この場合、各遅延回路での遅延時間を、m個の比較器26への各三角波の位相が夫々「 $(360 \div m)$ 度」ずつずれるように設定すれば、より効果的である。例えば、駆動回路2が3個であれば、各比較器26への三角波の位相が夫々120度ずつずれるようにし、駆動回路2が4個である場合には、各比較器26への三角波の位相が夫々90度ずつずれるようにすれば良い。

【0082】次に、第2実施形態の電子制御装置について、図3を用いて説明する。尚、図3において、図1、7の電子制御装置1、100と同じ構成要素については、同一の符号を付しているため、詳細な説明は省略する。図3に示すように、第2実施形態の電子制御装置6は、図1に示した第1実施形態の電子制御装置1と比較して、以下の（a）及び（b）の点が異なっている。

【0083】（a）：遅延回路3が設けられておらず、両駆動回路2-1、2-2の各比較器26の反転入力端子には、1つの三角波発生回路24から出力される三角波STが、そのまま入力される。

（b）：その代わりに、2つの駆動回路2-1、2-2のうちで、例えば駆動回路2-2の方の比較器26と駆

動用バッファ 28 との間には、その比較器 26 の出力信号を上記三角波 ST の  $1/2$  周期分（換言すれば、駆動信号 SG の  $1/2$  周期分）だけ遅延させて駆動用バッファ 28 へ出力する遅延回路 8 が設けられている。

【0084】つまり、本第 2 実施形態では、2 つの駆動回路 2 のうちの一方の駆動回路 2（図 3 では駆動回路 2-2）における比較器 26 と FET 12 のゲートとの間の信号経路に、その比較器 26 から出力される駆動信号の位相を  $180$  度だけずらして FET 12 のゲートに供給する遅延回路 8 を設けることにより、その FET 12 のゲートに、他方の駆動回路 2 の FET 12 へ供給される駆動信号とは位相がずれた駆動信号が供給されるようにしている。

【0085】尚、本第 2 実施形態の電子制御装置 6 においても、図 3 の二点鎖線で示すように、2 つの各駆動回路 2 のデューティ／電圧変換回路 20、電流フィードバック回路 22、比較器 26、駆動用バッファ 28、及び電流検出回路 16 と、各駆動回路 2 に共通の 1 つの三角波発生回路 24 と、上記遅延回路 8 とが、1 個の半導体集積回路（IC）7 内に形成されておき、その IC 7 という形で当該電子制御装置 6 に搭載されている。

【0086】以上のような本第 2 実施形態の電子制御装置 6 では、図 3 におけるマイコン 10 以外の回路（即ち、FET 12、電流検出用抵抗 14、及びダイオード 18 からなる 2 組の回路と IC 7 からなる部分）が、マイコン 10 からのデューティ信号 SD に応じて複数の各ソレノイド L を駆動するためのソレノイド駆動装置として設けられている。

【0087】そして、この電子制御装置 6 においても、1 つの三角波発生回路 24 を各駆動回路 2 で共用しているにも拘わらず、第 1 実施形態の電子制御装置 1 と同様に、駆動回路 2-1 の FET 12 のゲートに供給される駆動信号 SG（図 3 における SG1）と、駆動回路 2-2 の FET 12 のゲートに供給される駆動信号 SG（図 3 における SG2）との位相が、常にほぼ  $180$  度ずれたものとなる。

【0088】よって、本第 2 実施形態の電子制御装置 6 によっても、前述した第 1 実施形態の電子制御装置 1 と同じ効果を得ることができる。尚、本第 2 実施形態においても、各駆動回路 2 のデューティ／電圧変換回路 20、電流フィードバック回路 22、及び電流検出回路 16 が、電圧発生手段に相当し、比較器 26 が比較手段に相当し、三角波発生回路 24 が、三角波発生源に相当している。そして、遅延回路 8 が、駆動信号位相変更手段に相当している。

【0089】また、本第 2 実施形態において、各駆動回路 2 のデューティ／電圧変換回路 20、電流フィードバック回路 22、電流検出回路 16、及び比較器 26 は、同じ三角波から駆動信号を生成するため、両駆動回路 2-1、2-2 のもの同士が互いに同調して駆動信号を生

成することとなる。よって、本第 2 実施形態では、そのデューティ／電圧変換回路 20、電流フィードバック回路 22、電流検出回路 16、及び比較器 26 が、請求項 4 の駆動信号生成手段に相当し、遅延回路 8 が、請求項 4 の位相変更手段にも相当している。

【0090】一方、上記第 2 実施形態の電子制御装置 6 において、駆動回路 2 の数が 3 以上の  $m$  個である場合には、 $(m-1)$  個の各駆動回路 2 について、その比較器 26 の出力端子と駆動用バッファ 28 との間に、上記遅延回路 8 と同様の遅延回路を夫々設けて、全ての駆動回路 2 の各 FET 12 のゲートへ供給される駆動信号 SG の位相が、全て互いにずれるように構成すれば、効果的である。

【0091】そして、この場合、各遅延回路での遅延時間を、 $m$  個の駆動回路 2 の各 FET 12 への駆動信号 SG の位相が夫々「 $(360 \div m)$  度」ずつずれるように設定すれば、より効果的である。例えば、駆動回路 2 が 3 個であれば、各 FET 12 への駆動信号 SG の位相が夫々  $120$  度ずつずれるようにし、駆動回路 2 が 4 個である場合には、各 FET 12 への駆動信号 SG の位相が夫々  $90$  度ずつずれるようにすれば良い。

【0092】次に、第 3 実施形態の電子制御装置について、図 4～図 6 を用いて説明する。まず図 4 は、第 3 実施形態の電子制御装置 30 の構成を表す構成図である。尚、図 4 において、前述した図 1、3、7 の電子制御装置 1、6、100 と同じ構成要素については、同一の符号を付しているため、詳細な説明は省略する。

【0093】図 4 に示すように、本第 3 実施形態の電子制御装置 30 は、図 1 に示した第 1 実施形態の電子制御装置 1 と比較して、大きくは以下の（A）及び（B）の 2 点が異なっている。

（A）：まず第 1 に、駆動回路 2 に代えて、駆動対象の各ソレノイド L 毎に、駆動回路 32 を夫々備えている。尚、以下の説明において、一方のソレノイド L1 に対応する駆動回路 32 と、他方のソレノイド L2 に対応する駆動回路 32 とを、夫々区別する場合には、それらの符号として「32-1」、「32-2」を用いる。

【0094】そして、各駆動回路 32 は、駆動回路 2 と比較すると、デューティ／電圧変換回路 20 と、電流フィードバック回路 22 と、比較器 26 と、駆動用バッファ 28 とを備えておらず、その代わりに、マイコン 10 から出力されるデューティ信号 SD に応じて FET 12 をオン／オフさせるトランジスタ駆動回路 34 と、電流検出回路 16 の出力 Vi をデジタル信号に変換して、マイコン 10 へ電流モニタ信号 SM として出力する A/D 変換器 36 とを備えている。

【0095】尚、トランジスタ駆動回路 34 は、駆動回路 2 の駆動用バッファ 28 と同じ機能を有するものであり、マイコン 10 からのデューティ信号 SD がアクティブレベルに相当するハイレベルの時に、FET 12 のゲ

ートへ該FET12をオンさせることが可能な電圧（この例では0V）を出力し、逆に、マイコン10からのデューティ信号SDがバッシプレベルに相当するロウレベルの時には、FET12のゲートに該FET12をオフさせることが可能な電圧（この例ではバッテリー電圧VB）を印加する。

【0096】このため、本第3実施形態の電子制御装置30では、マイコン10から出力されるデューティ信号SDが、トランジスタ駆動回路34により論理反転された形で、FET12のゲートへ駆動信号として供給されることとなる。そこで、以下、マイコン10からのデューティ信号SDを、駆動信号SDという。

【0097】（B）：そして第2に、ソフトウェアの面において、マイコン10は、車両の運転状態を表す各種センサ信号（図示省略）等に基づいて、駆動対象のソレノイドLに流すべき目標通電電流を算出すると共に、A/D変換器36からの電流モニタ信号SMを定期的に入力して、ソレノイドLに実際に流れている電流の値（以下、実電流値という）を検出し、その実電流値と上記目標通電電流との差に応じたデューティ比で、該当する駆動回路32への駆動信号（デューティ信号）SDを出力する、といった電流フィードバック制御の処理を行う。

【0098】つまり、本第3実施形態では、マイコン10におけるソフトウェア処理によって、ソレノイドLの実電流値を目標通電電流にするための電流フィードバック制御を実施するようにしている。次に、このような本第3実施形態の電子制御装置30において、マイコン10は、駆動回路32-1のFET12に対する駆動信号SD1と、駆動回路32-2のFET12に対する駆動信号SD2とを、図5に示す割込ルーチンによって出力している。尚、本第3実施形態においても、両駆動信号SD1、SD2の周期は同じである。

【0099】まず、図5の割込ルーチンは、一定時間毎に起動される定期割込ルーチンであり、当該割込ルーチンの起動周期は、両駆動信号SD1、SD2の周期Tを、出力すべき駆動信号の数（本実施形態では2）で割った時間（ $=T/2$ ）に設定されている。

【0100】そして、この割込ルーチンが開始されると、最初のステップ（以下、単に「S」と記す）110にて、今回の処理対象が駆動信号SD1と駆動信号SD2とのどちらであるかを示す指標Nの値が、“1”と“2”との何れであるかを判定し、指標Nの値が“1”であれば、S120とS130とからなる駆動信号SD1用の出力処理を実行する。尚、指標Nの初期値は、“1”と“2”の何れかに設定されているが、ここでは“1”であるものとする。

【0101】即ち、駆動信号SD1用の出力処理では、まずS120にて、その時点で算出されている駆動信号SD1のデューティ比から、該駆動信号SD1をアクティブレベルとしてのハイレベルにすべきオン時間Ton

1を算出し、続くS130にて、その算出したオン時間Ton1を、当該マイコン10の内部レジスタであるタイマ出力用のコンペアレジスタR1にセットする。

【0102】すると、図6の時刻t1に示すように、そのコンペアレジスタR1へのオン時間Ton1のセット時点で、駆動信号SD1を出力するための当該マイコン10の出力ポート（以下、出力ポートP1と記す）のレベル（即ち当該マイコン10から出力される駆動信号SD1）がハイレベルとなり、また、その時点から上記コンペアレジスタR1にセットされたオン時間Ton1が経過したことが当該マイコン10内の周知のタイマ出力用ハードウェアによって検知されると、上記出力ポートP1のレベル（駆動信号SD1）がローレベルに戻る。

【0103】尚、上記S120で用いられる駆動信号SD1のデューティ比は、図示しない定期的な電流フィードバック制御用の演算処理によって逐次更新して算出されている。また、オン時間Ton1は、駆動信号SD1の周期Tにデューティ比を乗じた値である。

【0104】そして、上記S120及びS130の出力処理が終わると、S140に進んで、指標Nの値を“2”に設定し、当該割込ルーチンを終了する。一方、上記S110にて、指標Nの値が“2”であると判定した場合には、S150とS160とからなる駆動信号SD2用の出力処理を実行する。

【0105】即ち、駆動信号SD2用の出力処理では、まずS150にて、その時点で算出されている駆動信号SD2のデューティ比から、該駆動信号SD2をアクティブレベルとしてのハイレベルにすべきオン時間Ton2を算出し、続くS160にて、その算出したオン時間Ton2を、当該マイコン10の内部レジスタであるタイマ出力用のコンペアレジスタR2にセットする。

【0106】すると、図6の時刻t2に示すように、そのコンペアレジスタR2へのオン時間Ton2のセット時点で、駆動信号SD2を出力するための当該マイコン10の出力ポート（以下、出力ポートP2と記す）のレベル（即ち当該マイコン10から出力される駆動信号SD2）がハイレベルとなり、また、その時点から上記コンペアレジスタR2にセットされたオン時間Ton2が経過したことが当該マイコン10内の周知のタイマ出力用ハードウェアによって検知されると、上記出力ポートP2のレベル（駆動信号SD2）がローレベルに戻る。

【0107】尚、上記S150で用いられる駆動信号SD2のデューティ比も、図示しない定期的な電流フィードバック制御用の演算処理によって逐次更新して算出されている。また、オン時間Ton2は、駆動信号SD2の周期Tにデューティ比を乗じた値である。

【0108】そして、上記S150及びS160の出力処理が終わると、S170に進んで、指標Nの値を“1”に設定し、当該割込ルーチンを終了する。このような割込ルーチンでは、S110で判定される指標Nの



値が“1”と“2”とに交互に変化する。

【0109】このため、図6にて「△」印で示される当該割込ルーチンの起動タイミング（即ち割込タイミング）のうち、“Ch1”と記した1回おきの割込タイミング毎に、S120及びS130からなる駆動信号SD1用の出力処理が実行され、また、“Ch2”と記した1回おきの割込タイミング毎に、S150及びS160からなる駆動信号SD2用の出力処理が実行されることとなる。

【0110】つまり、駆動信号SD1用の出力処理と駆動信号SD2用の出力処理は、「T/2」毎の割込ルーチンの1回おきに交互に実行されることとなり、その結果、各出力処理は、駆動信号SDの1周期T毎に且つ互いに「T/2」だけずれたタイミングで実行されることとなる。

【0111】このような本第3実施形態の電子制御装置30では、マイコン10にて、駆動信号SD1の出力レベルを該駆動信号SD1のデューティ比に対応するオン時間Ton1だけハイレベルにする出力処理（S120、S130）と、駆動信号SD2の出力レベルを該駆動信号SD2のデューティ比に対応するオン時間Ton2だけハイレベルにする出力処理（S150、S160）とが、交互に且つ駆動信号の1周期T毎に実行されると共に、その各出力処理の実行タイミングが、図6の如く、駆動信号SDの位相の180度分に相当する「T/2」だけずれることとなる。

【0112】よって、この電子制御装置30によれば、図6に示すように、両ソレノイドL1、L2への通電電流I1、I2を同時に制御する際において、各駆動信号SD1、SD2の立ち上がりタイミング（アクティブレベルへの変化タイミング）及び各ソレノイドL1、L2への通電開始タイミングが、「T/2」だけずれることとなる。

【0113】このため、本第3実施形態の電子制御装置30によっても、各駆動回路32-1、32-2のFET12が同時にオンされず、そのFET12のスイッチング動作に伴い発生するノイズのトータルレベルと、電源電圧（この例では、バッテリー電圧VB）の変動とを、抑制することができる。

【0114】しかも、本第3実施形態の電子制御装置30では、マイコン10が、駆動信号SDの周期Tの半分の周期（=T/2）毎に起動される割込ルーチンにて、各駆動信号SD1、SD2の出力処理を択一的に交互に実行するようにしているため、1つの割込だけで、2つの駆動信号SD1、SD2を、それらの立ち上がりタイミングをずらしつつ出力することができる。つまり、例えば、各出力処理を、起動タイミングが互いにずらされた周期T毎の複数の割込ルーチンで夫々実行することも可能であるが、その場合には、出力する駆動信号の数だけ別々の定期割込が必要となる。これに対して、本第3

実施形態の手法を採れば、1つの定期割込だけで済む。

【0115】尚、上記第3実施形態の電子制御装置30において、駆動対象のソレノイドL及び出力トランジスタとしてのFET12が例えば3個である場合には、割込ルーチンの起動周期を「T/3」に設定し、その割込ルーチンにて、3つの各駆動信号SDに夫々対応する出力処理を択一的に切り替えて実行すれば良い。そして、このようにすれば、各FET12への駆動信号SDの立ち上がりタイミングが「T/3」ずつずれる（換言すれば、各駆動信号の位相が夫々120度ずつずれる）こととなる。また同様に、駆動対象のソレノイドL及びFET12が例えば4個である場合には、割込ルーチンの起動周期を「T/4」に設定し、その割込ルーチンにて、4つの各駆動信号SDに夫々対応する出力処理を択一的に切り替えて実行すれば良い。

【0116】以上、本発明の一実施形態について説明したが、本発明は、種々の形態を採り得ることは言うまでもない。例えば、上記第1及び第2実施形態では、1つの三角波発生回路24を各駆動回路2で共用したが、図7の電子制御装置100のように、各駆動回路102毎に三角波発生源又は基準信号発生源としての三角波発生回路24を設けた場合にも、各三角波発生回路24で夫々発生される三角波の位相が互いに同じになり易いため、前述した各実施形態と同様の構成を採ることができる。

【0117】具体例を挙げて説明すると、例えば図7の電子制御装置100にて、一方の駆動回路102-2における三角波発生回路24と比較器26の反転入力端子との間に、図1に示した第1実施形態と同様の遅延回路3を設けるか、或いは、一方の駆動回路102-2における比較器26と駆動用バッファ28との間に、図3に示した第2実施形態と同様の遅延回路8を設けるようにすれば良い。

【0118】また、上記第1及び第2実施形態において、各駆動回路2の電流フィードバック回路22を削除すると共に、デューティ/電圧変換回路20の出力電圧が、比較器26の非反転入力端子にそのまま入力されるようにし、更に、電流検出回路16の出力Viが、マイコン10側へ出力されるようにしても良い。

【0119】つまり、この場合、マイコン10は、電流検出回路16の出力ViをA/D変換して、ソレノイドLに実際に流れている電流値をモニタし、その電流値が目標通電電流となるように、デューティ/電圧変換回路20へ出力するデューティ信号SDのデューティ比を制御する、といった電流フィードバック制御の処理を行えば良い。尚、このように構成した場合には、デューティ/電圧変換回路20が電圧発生手段として機能することとなる。

【0120】一方、上記各実施形態では、電子制御装置1、6、30が車両の自動変速機を制御するものとして

説明したが、本発明は、車両の自動変速機に限らず、他の制御対象を制御するためのソレノイドを駆動対象とした様々な用途の電子制御装置に適用することができる。

【図面の簡単な説明】

【図1】 第1実施形態の電子制御装置の構成を表す構成図である。

【図2】 第1実施形態の電子制御装置の作用を表すタイムチャートである。

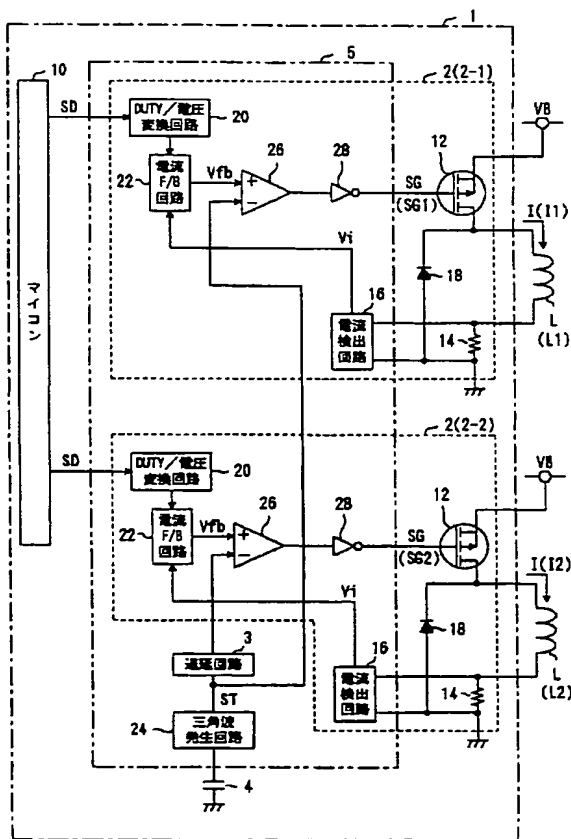
【図3】 第2実施形態の電子制御装置の構成を表す構成図である。

【図4】 第3実施形態の電子制御装置の構成を表す構成図である。

【図5】 第3実施形態の電子制御装置のマイコンで実行される割込ルーチンを表すフローチャートである。

【図6】 第3実施形態の電子制御装置の作用を表すタイムチャートである。 \*

【図1】



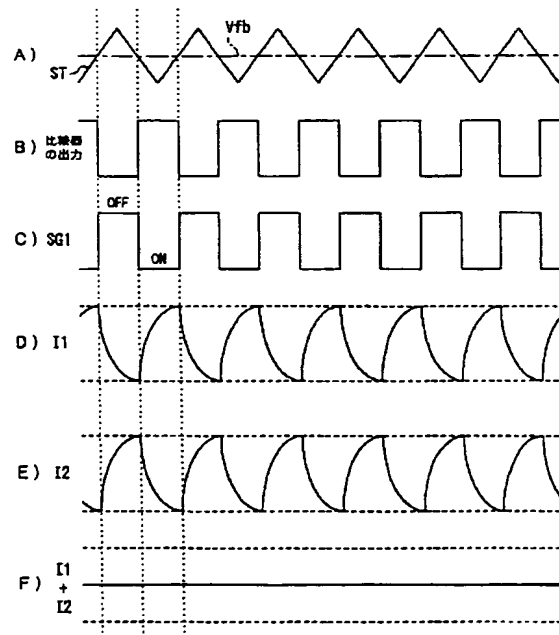
\*【図7】 複数のソレノイドへの通電電流を制御する従来の電子制御装置の構成例を表す構成図である。

【図8】 図7の電子制御装置の問題を説明する説明図である。

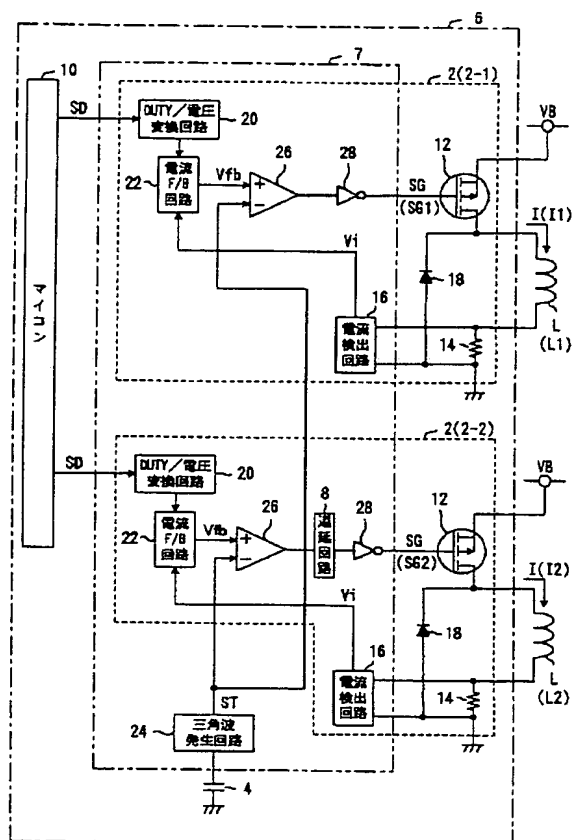
【符号の説明】

- 1, 6, 30…電子制御装置、2, 2-1, 2-2, 32, 32-1, 32-2…駆動回路、3, 8…遅延回路、4…コンデンサ、5, 7…IC（半導体集積回路）、10…マイコン、12…FET（出力トランジスタ）、14…電流検出用抵抗、16…電流検出回路、18…ダイオード、20…デューティ/電圧変換回路、22…電流フィードバック回路、24…三角波発生回路、26…比較器、28…駆動用バッファ、L, L1, L2…ソレノイド、34…トランジスタ駆動回路、36…A/D変換器

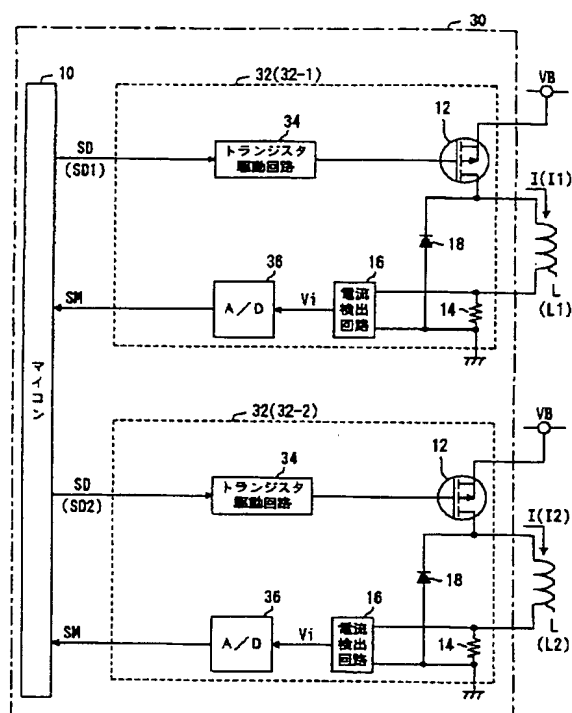
【図2】



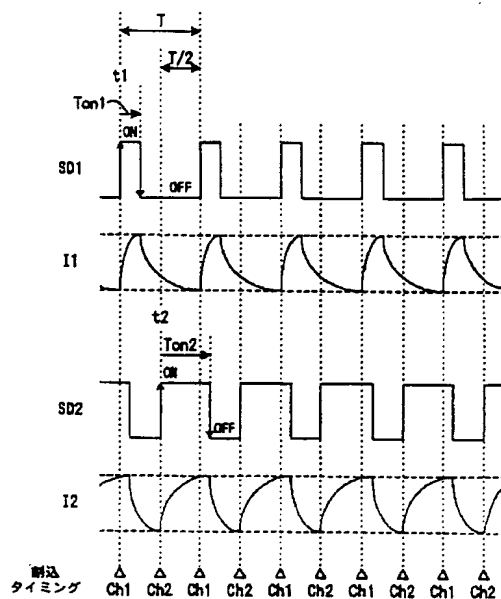
【図3】



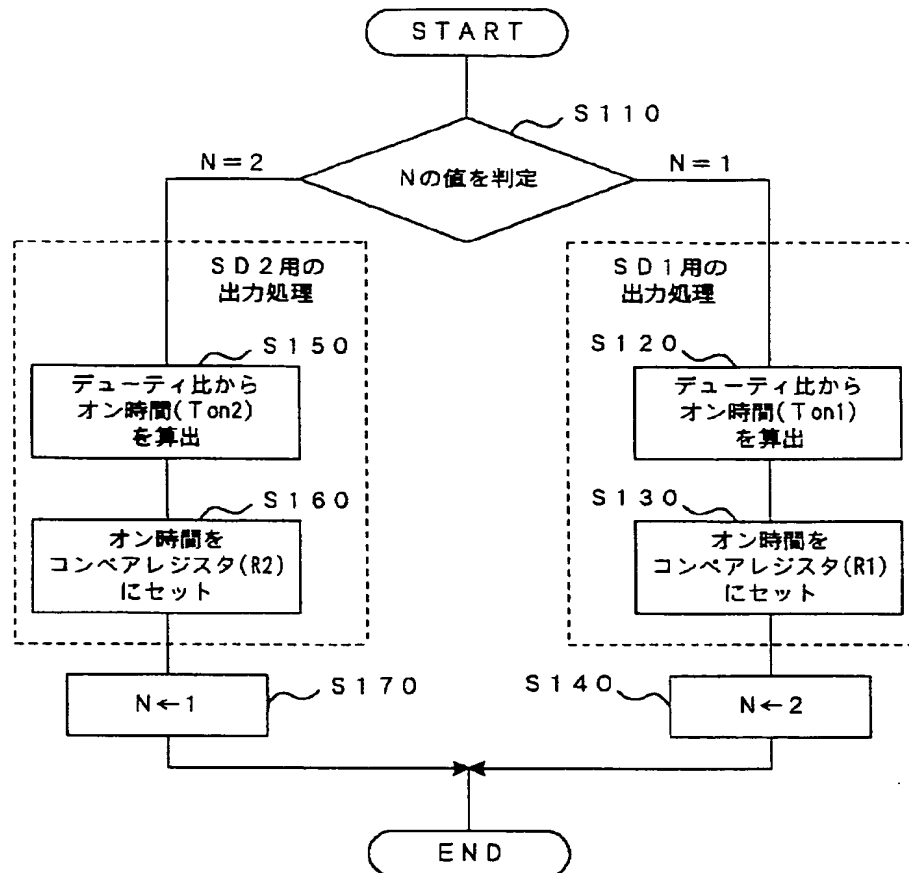
【図4】



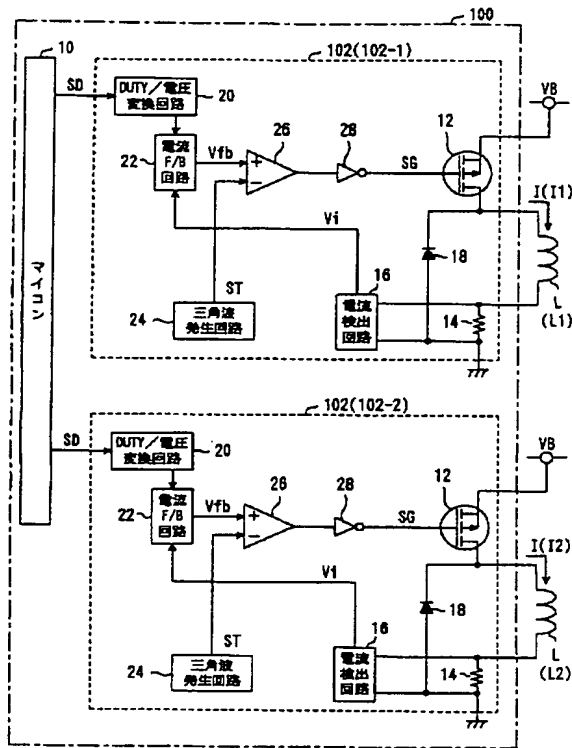
【図6】



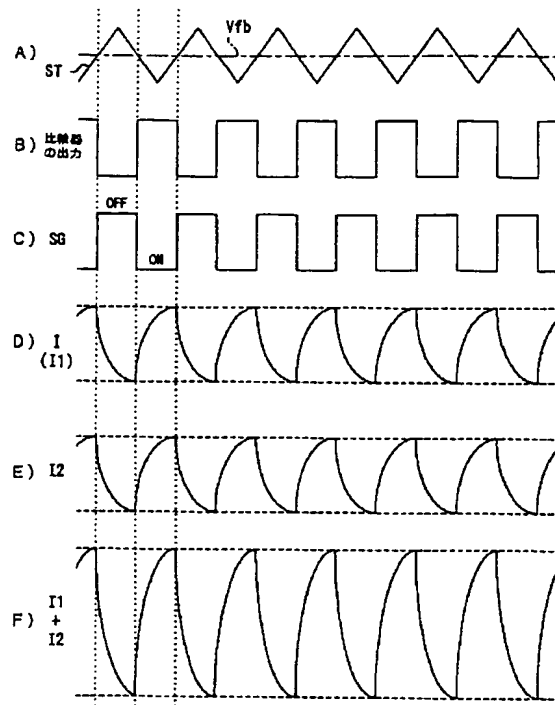
【図5】



【図7】



【図8】



フロントページの続き

F ターム(参考) 5J055 AX25 AX39 AX55 AX64 BX16  
 CX28 DX12 EX07 EX12 EX21  
 EY01 EY05 EY12 EZ00 EZ07  
 EZ09 FX12 FX17 FX35 GX01

**This Page Blank (uspto)**